

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 4 月 28 日 (28.04.2005)

PCT

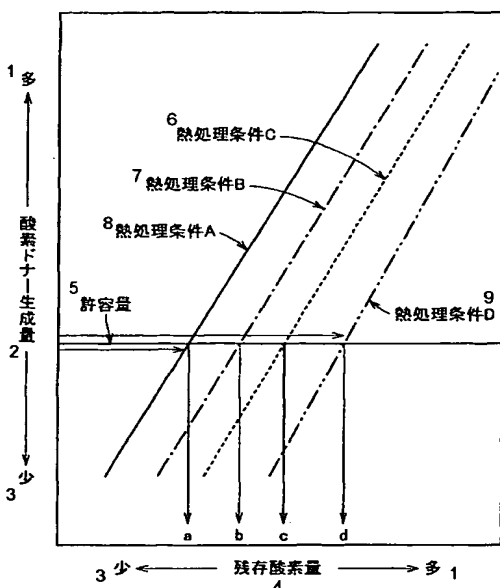
(10) 国際公開番号  
WO 2005/038899 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/322, C30B 29/06, H01L 27/12
- (21) 国際出願番号: PCT/JP2004/011050
- (22) 国際出願日: 2004 年 8 月 2 日 (02.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2003-360251  
2003 年 10 月 21 日 (21.10.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱住友シリコン株式会社 (SUMITOMO MITSUBISHI SILICON CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 栗田 一成 (KURITA, Kazunari) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP). 定光 信介 (SADAMITSU, Shinsuke) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP). 高尾 浩之 (TAKAO, Hiroyuki) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP). 宝来 正隆 (HORAI, Masataka) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP).
- (74) 代理人: 森 道雄 (MORI, Michio); 〒6600892 兵庫県尼崎市東難波町五丁目 1 7 番 2 3 号 尼崎ビル 森道雄特許事務所 Hyogo (JP).

[続葉有]

(54) Title: PROCESS FOR PRODUCING HIGH RESISTANCE SILICON WAFER, AND PROCESS FOR PRODUCING EPI-TAXIAL WAFER AND SOI WAFER

(54) 発明の名称: 高抵抗シリコンウェーハの製造方法、並びにエピタキシャルウェーハおよび SOI ウェーハの製造方法



- 1... LARGE  
2... GENERATION AMOUNT OF OXYGEN DONOR  
3... SMALL  
4... RESIDUAL OXYGEN AMOUNT  
5... ALLOWANCE  
6... HEAT TREATMENT CONDITIONS C  
7... HEAT TREATMENT CONDITIONS B  
8... HEAT TREATMENT CONDITIONS A  
9... HEAT TREATMENT CONDITIONS D

(57) Abstract: A process for producing a high resistance silicon wafer in which generation of oxygen donor can be suppressed efficiently by using a high resistance silicon wafer containing carbon and combining a first heat treatment by temperature raising operation (ramping) with a second heat treatment consisting of high temperature heat treatment and intermediate temperature heat treatment, and high resistance can be sustained even after heat treatment in the device fabrication process thus producing a high resistance silicon wafer in which variation of resistivity is suppressed. Since excellent epitaxial wafer and SOI wafer can be produced using the high resistance silicon wafer, the high resistance silicon wafer is applicable to a wide field including a high frequency communication device, an analog/digital hybrid device, and the like.

(57) 要約: 本発明の高抵抗シリコンウェーハの製造方法によれば、CZ法により得られた、高抵抗で炭素を含有するシリコンウェーハを用いて、昇温操作（ランピング）による第1熱処理と、高温熱処理および中温熱処理とからなる第2熱処理とを組み合わせることにより、効率的に酸素ドナーの生成を抑制でき、デバイス製造の工程における熱処理後においても、高抵抗が維持でき、抵抗率の変動を抑制した高抵抗シリコンウェーハを得ることができる。さらに、この高抵抗シリコンウェーハを用いれば、優れたエピタキシャルウェーハおよび SOI ウェーハを製造できるので、高周波通信デバイスまたはアナログ、デジタル混載デバイス等、広い分野で適用することができる。



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。